

产品描述

CHP5020B 是一款用于替代反激变换器中副边肖特基二极管的高性能同步整流控制芯片，外推超低导通阻抗 MOSFET 以提升系统效率。MOS 导通时，Vds 被控制在约-30mV，Vds 一旦变为正值，MOSFET 以极快速度关闭。

CHP5020B 采用高压自供电方式实现 VCC 供电，同时支持正端接法和负端接法。这使得芯片在输出电压很低甚至短路时，VCC 仍可稳定供电，可直接应用于电池充电。可编程的振铃检测可防止芯片在 DCM 和 QR 模式下 Vds 振荡导致的错误开启。

CHP5020B 采用节省空间的 SOT23-6 封装。

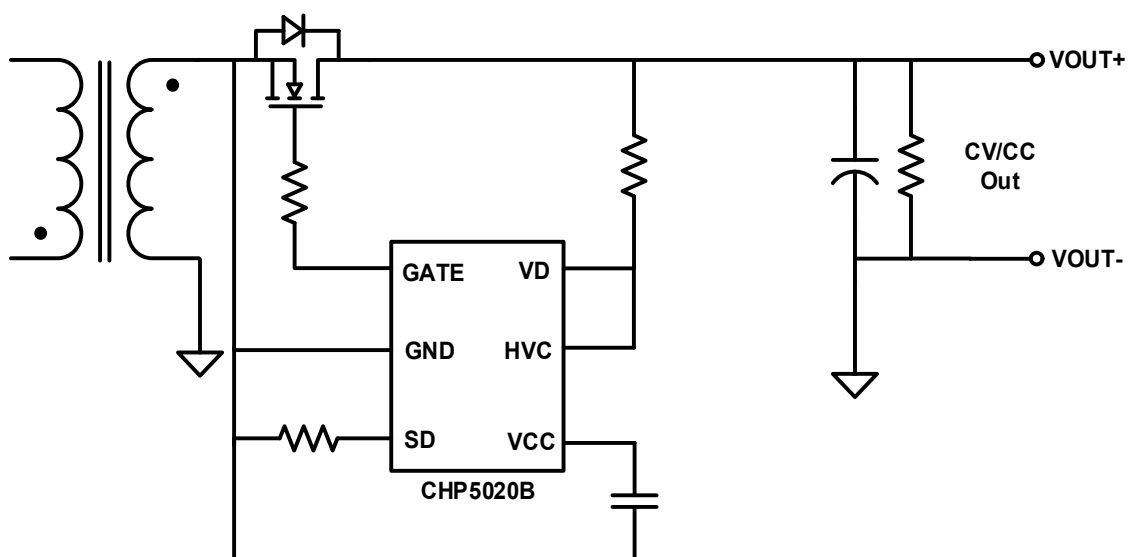
主要特点

- 支持 DCM、CCM、QR 模式
- 支持高达 200KHZ 的开关频率
- 输出范围宽，最低可达 0V，体二极管无短路大电流
- 正、负端皆可的自供电 VCC 技术
- 振铃检测防止 DCM 和 QR 操作中的误开启
- 符合能源之星等能效标准
- 超快速关闭和打开延迟
- 高达 180V 耐压
- 支持正端和负端整流

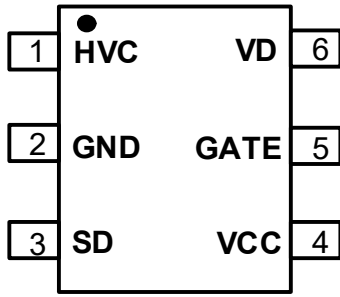
典型应用

- USB-PD 快充
- 适配器
- 超低压或可变输出的反激电源

典型应用电路

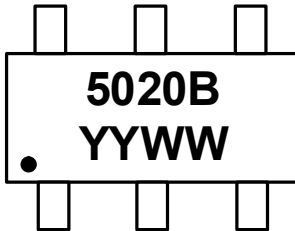


管脚封装



符号	名称	管脚功能描述
1	HVC	高压供电
2	GND	地
3	SD	斜率检测可编程，调节防止振荡误开启的阈值
4	VCC	高压 LDO 输出，电源
5	GATE	驱动外置 MOSFET 的栅极
6	VD	MOS 漏极电压检测和高压 LDO 输入

产品正印



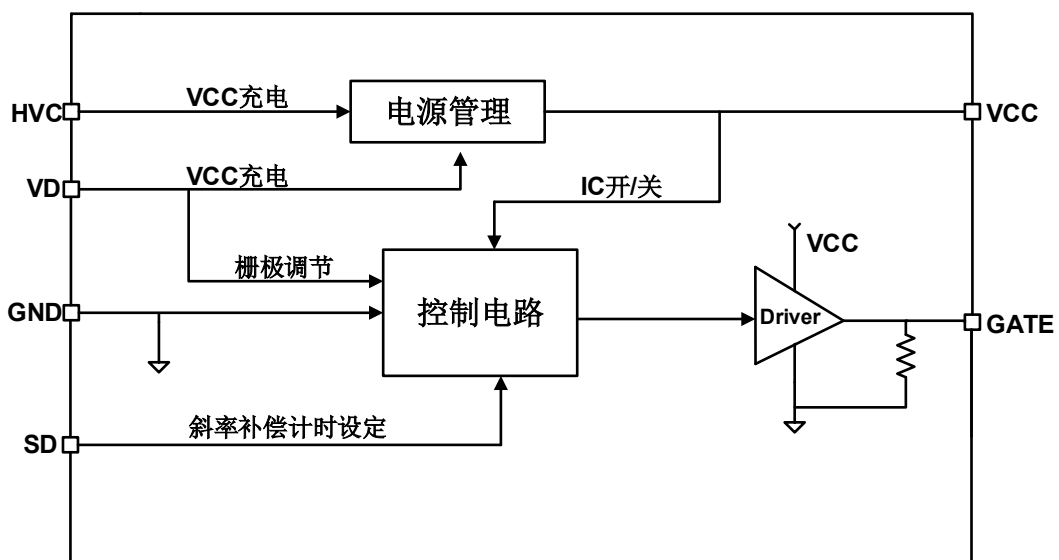
5020B 代表型号
YYWW 代表年周

订单信息

物料编号	封装	MOS	包装规范	最大输出电流
CHP5020B	SOT23-6	外置	编带 3K/卷	5A

说明：最大输出功率受限于芯片结温，典型测试条件：环境温度 $T_a=50^{\circ}\text{C}$ ，IC PIN 有足够铜皮散热，适配器全密封。

内部功能框图



极限参数 (备注 1)

参数	数值	单位
VCC,GATE 电压范围	-0.3 to 14	V
VD,HVC 电压范围	-1 to 180	V
SD 电压范围	-0.3 to 6.5	V
连续功耗 (25°C)	0.56	W
结温	150	°C
焊接温度 (焊接 10s)	260	°C
储藏温度	-55 to 150	°C

备注 1: 超出列表极限参数可能会对芯片造成永久性损坏。极限参数为额定应力值。在超出推荐的工作条件和应力的情况下, 器件可能无法正常工作, 所以不推荐让器件工作在这些条件下。过度暴露在高于推荐的最大工作条件下, 会影响器件的可靠性。

推荐工作条件 (备注 2)

参数	数值	单位
VCC 工作范围	4 to 13	V
VD,HVC 工作范围	-1 to 160	V
最大结温	125	°C
SOT23-6 热阻 θ_{JA}/θ_{JC}	220 / 110	°C/W

备注 2: 超出上述工作条件不能保证芯片正常工作。

电气参数 (VCC=5V, T_J=-40°C~125°C, 除非另有说明)

符号	参数	测试条件	最小	典型	最大	单位
VCC 供电部分						
V _{ST}	VCC 开启电压			3.9		V
V _{HY}	VCC 迟滞电压			0.3		V
V _{OP}	VCC 工作电压	VD=12V	8.5	9.3	10.2	V
I _{VCC-MAX}	VCC 充电最大电流	VCC=5V, VD=10V		35		mA
I _{CC}	VCC 工作电流	VCC=9V, CLOAD=2.2nF, FSW=100kHz		2.1	3.5	mA
		VCC=5V, CLOAD=2.2nF, FSW=100kHz		1.2	1.8	mA
I _Q	VCC 静态电流	VCC=5V		90	130	μA
I _{ST}	VCC 关闭电流	VCC=UVLO-0.1V		40	65	μA
控制电路部分						
V _{fwd}	调制电压 (VD-GND)		-33	-30	-27	mV
	开启阈值 (VDS)		-130	-100	-70	mV
	关断阈值 (VD-GND)		-10	0	10	mV
TD _{on}	开启驱动延时	CLOAD=2.2nF		34	40	ns
TD _{off}	关断驱动延时	CLOAD=2.2nF		18	20	ns

	开启传输延时	备注 3		11	15	ns
	关闭传输延时			17	20	ns
$T_{\text{BLANKING-ON}}$	开启消隐时间	备注 3, $C_{\text{LOAD}}=2.2\text{nF}$	250	350	450	ns
$V_{\text{BLANKING-OFF}}$	关闭阈值 (VDS)		2		3	V
$T_{\text{ON-MIN,VDS-OFF}}$	导通时关闭阈值 (VDS)			1.8	2	V
T_{SD}	SD 检测计时	备注 3, $R_{\text{SD}}=1\text{M}\Omega$	42	45	48	ns
驱动部分						
$V_{\text{GATE-L}}$	VGATE (低)	$I_{\text{LOAD}}=10\text{mA}$		10	20	mV
$V_{\text{GATE-H}}$	VGATE (高)	$I_{\text{LOAD}}=0\text{mA}$		VCC		V
$I_{\text{SOURCE-MAX}}$	最大电源电流			1		A
$I_{\text{SINK-MAX}}$	最大下沉电流			4		A

备注 3: 参数取决于设计, 批量生产制造时通过功能性测试。

功能描述

CHP5020B 是一款同步整流控制芯片, 用于反激 AC-DC 电源, 支持 CCM、DCM、QR 和 ACF (有源钳位) 等全部工作模式。

• 系统供电

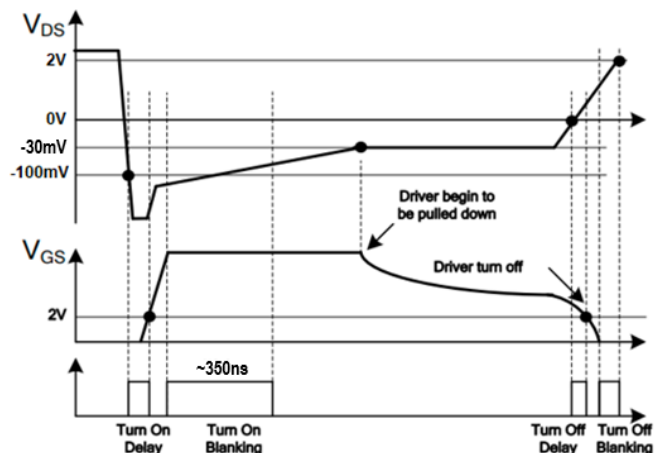
VDD 电容为 IC 供电, 可通过 VD、HVC 充电, 最大充电电流 35mA, VDD 被钳位于 9V。

• 启动和欠压锁定 (UVLO)

当 VDD 升至 3.9V 以上时, CHP5020B 启动, 当 VDD 降至 3.6V 时, 芯片关闭, 进入休眠。

• 开启阶段

当 VDS 降至约 2V 时, SD 计时开始, 该时间 TSD 可通过 SD 外接电阻调整。如果 VDS 在 TSD 设定时间内从 2V 下降至 -100mV (典型值) 的导通阈值, 则在导通延迟 (约 15ns) 后打开 MOS (见图 2)。如果在计时结束后 VDS 仍未下降到 -100mV (典型值), 则栅极电压 (VGATE) 保持关闭。此开启计时器具有防止因 DCM 和 QR 振荡误开启的功能。



(图 2, 开/关时序图)

• 开启消隐

CHP5020B 包含了开启消隐时间功能。当 MOS 打开时, CHP5020B 会确保开启信号达到一定时长 (约 350ns), 然后才开启检测 VDS, 以防振荡信号导致的误关断。如果 VDS 在消隐时间内达到 2~3V, 则栅极电压 (VGATE) 将被立即拉低。

• 导通阶段

随着开关电流的减小，当 $V_{DS} < -30\text{mV}$ 时，CHP5020B 降低栅极电压 (VGATE) 电压以增大同步 MOS 的导通电阻，使得 V_{DS} 维持在 -30mV 左右。当同步整流 MOS 即将关闭时，此功能使得 VGATE 维持在较低的电压，极大提高了关断速度。

• 关闭阶段

当 V_{DS} 上升到触发关断阈值 (0mV) 时，在很短的关断延迟 (约 20ns) 后，VGATE 被拉到零。

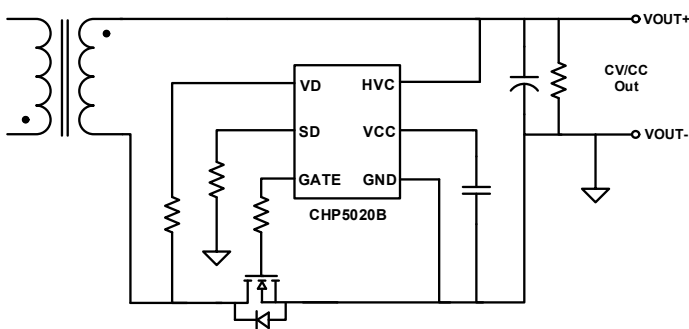
• 关闭锁存

在 VGATE 由于 V_{DS} 达到关闭阈值 (0mV) 被拉低以后，VGATE 信号被锁存为低，直到 V_{DS} 升至 2V 左右才解锁。

典型应用电路 2

• 负端接法

图 3 显示了负端同步整流的典型应用电路。



(图 3, 负端同步整流)

SR-MOSFET 选择

功率 MOSFET 的选择是 $R_{DS(ON)}$ 和 Q_{GATE} 之间的权衡。为了更高的效率，最好使用 $R_{DS(ON)}$ 更小的 MOSFET。然而 $R_{DS(ON)}$ 较小，则 Q_G 较大，使得开关速度较慢，导致较高的 V_{DS} 尖峰电压和较大的驱动损耗。因为在开关电流较小的期间， V_{DS} 被调制为大约 -30mV ，因此不建议

使用 $R_{DS(ON)}$ 太低的 MOSFET。因为当 $V_{DS} = -I_{SD} * R_{DS(ON)}$ 变得大于 -30mV 时，栅极电压 (VGATE) 被降低。MOSFET 的 $R_{DS(ON)}$ 对导通损耗没有贡献。

导通损耗为 $P_{CON} = -V_{DS} * I_{SD} \approx I_{SD} * 30\text{mV}$ 。为了提高 MOSFET 的 $R_{DS(ON)}$ 的使用率，MOSFET 应完全开启至少 50% 的 SR 传导周期。用公式计算：

$$V_{DS} = -I_C * R_{DS(ON)} = -\frac{I_{OUT}}{D} * R_{DS(ON)} \leq -V_{fwd}$$

其中：

V_{DS} 是 MOSFET 的漏源电压

D 是副边的占空比

I_{OUT} 是输出电流

V_{fwd} 是正向电压阈值 $\approx 30\text{mV}$ 。

假设其占空比为 50%，建议 MOSFET 的 $R_{DS(ON)}$ 不低于 $20/I_{OUT} \text{ m}\Omega$ 。对于 5A 应用， $R_{DS(ON)}$ 应不低于 $4\text{m}\Omega$ 。

PCB 布局指南

良好的 PCB 布局是电源系统稳定工作的关键。要获得最佳效果，请遵循以下原则。

• VD/GND 检测

1. 使大电流连接 (VD/GND) 尽可能靠近 MOSFET (漏极/源极)。
2. 使导电回路尽可能小。
3. 使芯片远离电源环路，以防止检测回路和功率环路相互干扰。
4. VCC 电容尽量靠近 VCC 和 GND，进行滤波。

• 栅极驱动器回路

1. VGATE 驱动回路尽可能小，以减小寄生电感。
2. VGATE 信号远离的 VD 检测路径。

VCC 电容建议:

一般地使用 0.1 μ F-1 μ F，范围内取值依据 VCC 的纹波电压。典型使用 104/0805/16V/X7R。

SD 电阻建议:

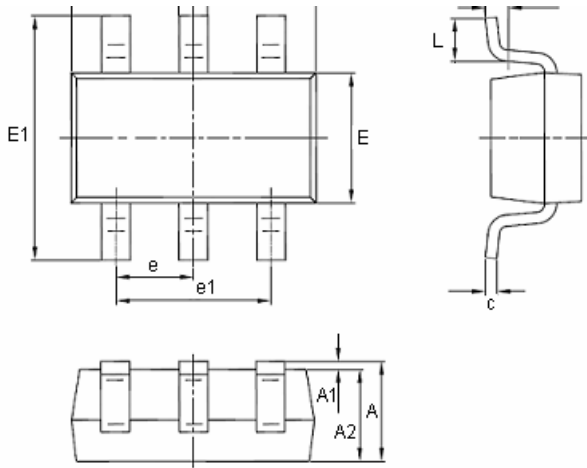
一般地使用 39K Ω -1M Ω （或者 NC）。范围内取值依据 DCM 和 QR 模式下 V_{ds} 振荡导致的错误开启的抑制。典型使用 120K Ω 。

VD 电阻建议:

一般地使用 0 Ω -100 Ω ，范围内取值依据芯片 T_c 温升，外置的阻值有助于改善芯片表面温度。典型使用 0 Ω 。

封装尺寸

SOT23-6 封装信息



(单位: 毫米)

名称	最小值	最大值
A	1.050	1.250
A1	0.000	0.100
A2	1.050	1.150
b	0.300	0.500
c	0.100	0.200
D	2.280	3.020
E	1.500	1.700
E1	2.650	2.950
e	0.950 (BSC)	
e1	1.800	2.000
L	0.300	0.600
θ	0°	8°

声明:

基合半导体确保以上信息准确可靠，同时保留在不发布任何通知的情况下对以上信息进行修改的权利。使用者在将基合半导体的产品整合到任何应用的过程中，应确保不侵犯第三方知识产权；未按以上信息所规定的应用条件和参数进行使用所造成的损失，基合半导体不负任何法律责任。

GATE 电阻:

一般地使用 0 Ω -3 Ω ，范围内取值依据 EMI 和 MOSFET T_c 温升。典型使用 0 Ω 。

方案设计注意事项:

初级吸收 RCD 电路的串联电阻大于 100 Ω ；以及依据初级 V_{DS} 漏感尖峰后的震荡下沉的抑制。

